

PARTIAL TRANSLATION OF JP 2(1990)-69826 A

Publication Date: March 8, 1990

Title of the Invention: SYSTEM FOR CONTROLLING INSTRUCTION  
WITH CONDITION

Patent Application Number: 63-222903

Filing Date: September 6, 1988

Inventors: Hiromi KOMINE

Applicant: FUJITSU LTD

(Page 3, lower left column, line 1-lower right column, line 6)

[Example]

Figure 2 is a block diagram showing the configuration of a circuit of an example of the present invention.

The same reference numerals denote the same objects through the whole drawings.

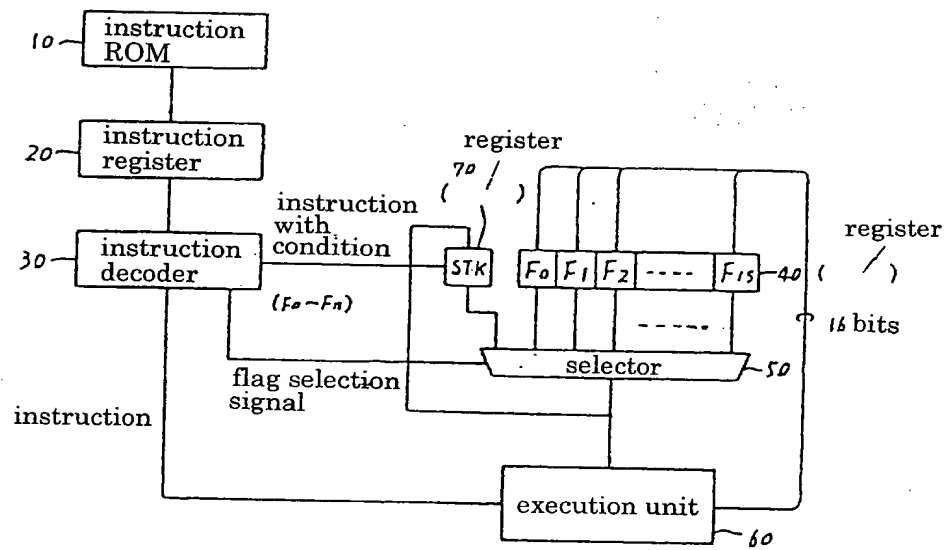
In Figure 2,  $F_0$ - $F_{15}$  denote condition flags, and STK denotes a register for storing one of the condition flags.

When an instruction with a condition is inputted to an instruction decoder 30, a selector 50 selects a flag name (e.g.,  $F_0$ ) used on the condition. Then, a signal indicating that the instruction with a condition has a flag name of  $F_0$  is given to the register 70 as an STK, and the value selected by the selector 50 is inputted to the STK of the register 70 to be temporarily stored therein.

At this time, in the case of a calculation instruction in which the value of  $F_0$  is changed (e.g., the calculation result is changed from positive to negative), another value (e.g., "1"  $\rightarrow$  "0") is inputted for  $F_0$  from an execution unit 60, whereby the value of  $F_0$  is changed.

When an instruction with a condition having a condition name of STK is inputted to the instruction decoder 30, the instruction decoder 30 decodes this instruction and sends a flag selection signal to the selector 50. Then, the selector 50 selectively reads the STK input, and the execution

unit 60 executes the instruction with a condition of STK. In this manner, the instruction can be executed on the same condition as the initial condition of  $F_0$ .



block diagram showing the configuration of a circuit of an example of the present invention

Fig. 2



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02069826 A**(43) Date of publication of application: **08.03.90**

(51) Int. Cl. **G06F 9/38**  
**G06F 9/26**  
**G06F 9/28**  
**G06F 9/32**

(21) Application number: **63222903**(22) Date of filing: **06.09.88**(71) Applicant: **FUJITSU LTD**

(72) Inventor: **KOMINE HIROMI**  
**KARIBE HIROHISA**

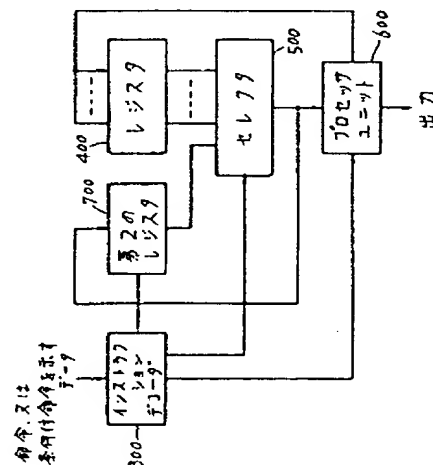
(54) **SYSTEM FOR CONTROLLING INSTRUCTION  
 WITH CONDITION**

COPYRIGHT: (C)1990,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To execute plural instructions with conditions which are not simultaneous to the same conditions by providing a second register which reads data by means of a selection control signal being the output of an instruction decoder and inputs it to a selector when the conditions are the same as the preceding ones.

**CONSTITUTION:** When data showing the instructions with conditions are inputted to the instruction decoder 300, it is decoded, outputted to a processor unit 600, and the selection control signal is outputted to a selector 500. Consequently, data which is temporarily stored in a second register 700 is selected and read when the conditions are the same as the preceding ones in the selector 500, and data is used in the processor unit 600 as the conditions of the non-operation instructions, whereby the instructions with conditions are executed. Thus, the plural instructions with conditions which are not simultaneously with respect to the same conditions can be executed.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-69826

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月8日

G 06 F 9/38  
9/26  
9/28  
9/32

3 3 0 J  
3 2 0 E  
3 1 0 B  
3 2 0 F

7361-5B  
7361-5B  
7361-5B  
7361-5B

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 条件付命令制御方式

⑰ 特 願 昭63-222903

⑱ 出 願 昭63(1988)9月6日

⑲ 発 明 者 小 峰 ひ ろ み 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 発 明 者 雁 部 洋 久 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑳ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

㉑ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

条件付命令制御方式

2. 特許請求の範囲

命令又は条件付命令を示すデータを入力して、  
該データの内容を解釈するインストラクションデ  
コード(300)と、該インストラクションデコード  
の出力の命令又は条件付命令を示すデータを入力  
して、該データの内容を実行するプロセッサユニ  
ット(600)と、該プロセッサユニットにおける実  
行の結果の状態を示す信号を書き込んで記憶する  
レジスタ(400)と、該レジスタの複数の出力を入  
力して、該インストラクションデコードの出力の  
選択制御信号により、1つの入力を選択して出力  
するセレクト(500)とを有するデジタルシグナ  
ルプロセッサにおいて、

該インストラクションデコードからの条件付命  
令を示す信号により、該セレクトの出力を書き込  
んで記憶し、次の条件付命令を示すデータをイン

ストラクションデコードから出力する時に、該条  
件が前回の条件と同一の時、該インストラクシ  
ョンデコードの出力の選択制御信号により読み出  
して該セレクトに入力する第2のレジスタ(700)を  
設け、該プロセッサユニットにおいて同一条件で  
同時にない複数の条件付命令を入力して実行す  
るようにしたことを特徴とする条件付命令制御方式。

3. 発明の詳細な説明

(概 要)

演算と非演算命令を同時に実行処理するプロセ  
ッサにおける条件付命令の制御方式に関し、

同じ条件に対して、同時ではない複数の条件付  
命令の実行を可能にする条件付命令制御方式を提  
供することを目的とし、

命令又は条件付命令を示すデータを入力して、  
データの内容を解釈するインストラクションデコ  
ードと、インストラクションデコードの出力の命  
令又は条件付命令を示すデータを入力して、デー  
タの内容を実行するプロセッサユニットと、プロ

セッサユニットにおける実行の結果の状態を示す信号を書き込んで記憶するレジスタと、レジスタの複数の出力を入力して、インストラクションデコードの出力の選択制御信号により、1つの入力を選択して出力するセレクトとを有するディジタルシグナルプロセッサにおいて、インストラクションデコードからの条件付命令を示す信号により、セレクトの出力を書き込んで記憶し、次の条件付命令を示すデータをインストラクションデコードから出力する時に、条件が前回の条件と同一の時、インストラクションデコードの出力の選択制御信号により読み出してセレクトに入力する第2のレジスタを設け、プロセッサユニットにおいて同一条件で同時でない複数の条件付命令を入力して実行するように構成する。

#### (産業上の利用分野)

本発明は、演算と非演算命令を同時に実行処理するディジタルシグナルプロセッサ（以下DSPと称する）における条件付命令の制御方式の改良に

ジャンプ命令等の非演算命令を同時に実行処理する実行ユニット6に送出する。

実行ユニット6において、上記演算Aと条件xを満たす場合に条件付命令①を同時に実行する。そして次のステップ以降において条件付命令を実行するために、実行ユニット6における演算Aの結果により決まるフラグ（"1"又は"0"）をレジスタ4の例えばF<sub>0</sub>に書き込んで一時記憶する。

レジスタ4のフラグF<sub>0</sub>～F<sub>1</sub>には、実行ユニット6における演算結果の状態を示す信号を入力する。例えば演算結果の正負を示す場合には、F<sub>0</sub>に（正の時には"1"、負の時には"0"のように）、又演算結果がオーバーフローした時にはF<sub>1</sub>を入力する。

次のステップ④で、第3図に示す演算Bと条件yを満たす場合に条件付命令②を同時に実行する。

尚、実行ユニット6に条件付命令を入力した時、インストラクションデコード3からのフラグ選択信号により、セレクト5においてレジスタ4からの入力のうち対応するフラグを選択する。

関するものである。

この際、同じ条件に対して、同時ではない複数の条件付命令の実行を可能にする条件付命令制御方式が要望されている。

#### (従来の技術)

第3図は一例の命令の記述を示す図である。

第4図は従来例の回路の構成を示すブロック図である。

第4図において、DSPのシーケンス制御部（図示しない）内の命令を示すデータを書き込んで記憶した記憶回路（以下命令ROMと称する）1から、第3図に示す演算Aを行う命令（例えば2個のデータの乗算）と、条件xを満たす場合（例えば演算Aの結果が正の時）に条件付命令①（例えばデータの転送）を行うことを示すデータ（ステップ①）を読み出し、インストラクションレジスタ2を介してインストラクションデコード3に入力する。インストラクションデコード3において、上記ステップ①のデータを解釈し、演算命令と転送、

#### (発明が解決しようとする課題)

しかしながら上述の回路構成においては、演算Aを行った結果実行ユニットからF<sub>0</sub>に別の値（例えば"1"→"0"）が入力されるとF<sub>0</sub>の中は変化してしまい、演算Bと同時に行う条件付命令②の条件（例えば"1"）を満たすことはできず、条件付命令②の実行ができなくなるという問題点があった。

したがって本発明の目的は、同じ条件に対して、同時ではない複数の条件付命令の実行を可能にする条件付命令制御方式を提供することにある。

#### (課題を解決するための手段)

上記問題点は第1図に示す回路構成によって解決される。

即ち第1図において、命令又は条件付命令を示すデータを入力して、データの内容を解釈するインストラクションデコード300と、インストラクションデコードの出力の命令又は条件付命令を示すデータを入力して、データの内容を実行するプロセッサユニット600と、プロセッサユニットに

おける実行の結果の状態を示す信号を書き込んで記憶するレジスタ400と、レジスタの複数の出力を入力して、インストラクションデコードの出力の選択制御信号により、1つの入力を選択して出力するセレクト500とを有するディジタルシグナルプロセッサにおいて、インストラクションデコードからの条件付命令を示す信号により、セレクトの出力を書き込んで記憶し、次の条件付命令を示すデータをインストラクションデコードから出力する時に、条件が前回の条件と同一の時、インストラクションデコードの出力の選択制御信号により読み出してセレクトに入力する第2のレジスタ700を設け、プロセッサユニットにおいて同一条件で同時でない複数の条件付命令を入力して実行するように構成する。

#### (作用)

第1図において、インストラクションデコード300に条件付命令を示すデータが入力されると、インストラクションデコード300においてこれを

解読し、プロセッサユニット600に向けて送出すると共に、選択制御信号をセレクト500に向けて出力する。

そしてセレクト500において、レジスタ400の入力のうち所定の1つの入力を選択してプロセッサユニット600に向けて出力すると共に、第2のレジスタ700に向けて出力する。第2のレジスタ700ではこれを一時記憶する。

次にインストラクションレジスタ300に、又条件付命令を示すデータが入力されるとこれを解読し、プロセッサユニット600に向けて出力すると共に、選択制御信号をセレクト500に向けて出力する。この結果、セレクト500では条件が前回の条件と同一の時、第2のレジスタ700に一時記憶したデータを選択して読み出し、プロセッサユニット600において非演算命令の条件として使用し、条件付命令を実行する。

この結果、同じ条件に対して同時ではない複数の条件付命令を実行することができる。

#### (実施例)

第2図は本発明の実施例の回路の構成を示すブロック図である。

全図を通じて同一符号は同一対象物を示す。

第2図において、Fo～F<sub>15</sub>は各条件フラグ、STKは上記条件フラグの1つを記憶するレジスタを示す。

インストラクションデコード30に条件付命令が入力されると、その条件で使用されるフラグ名(例えばFo)がセレクト50において選択される。そしてFoの条件付命令であることを示す信号がレジスタ70にSTKとして与えられ、セレクト50で選択された値がレジスタ70のSTKに入力され一時記憶される。

この時Foの値が変化する演算命令(例えば演算結果が正から負に変化)であったとすると、実行ユニット60からFoに別の値(例えば"1"→"0")が入力されFoの値が変化する。

次に、STKという条件名を用いた条件付命令がインストラクションデコード30に入力されると、

インストラクションデコード30においてこれを解読し、フラグ選択信号をセレクト50に向けて送出する。するとセレクト50においてSTK入力を選択して読み出され、実行ユニット60においてSTKによる条件付命令が実行される。この結果、最初のFoの条件と同様に実行することができる。

#### (発明の効果)

以上説明したように本発明によれば、同じ条件に対して、同時ではない複数の条件付命令を実行することが可能になる。

#### 4. 図面の簡単な説明

第1図は本発明の原理図、

第2図は本発明の実施例の回路の構成を示すブロック図、

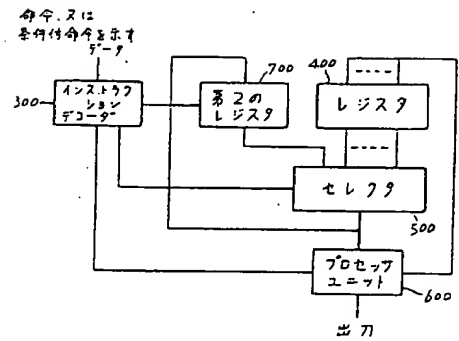
第3図は一例の命令の記述を示す図、

第4図は従来例の回路の構成を示すブロック図である。

特開平2-69826(4)

図において  
700 は第2のレジスタ  
を示す。

代理人 弁理士 井 裕 貞



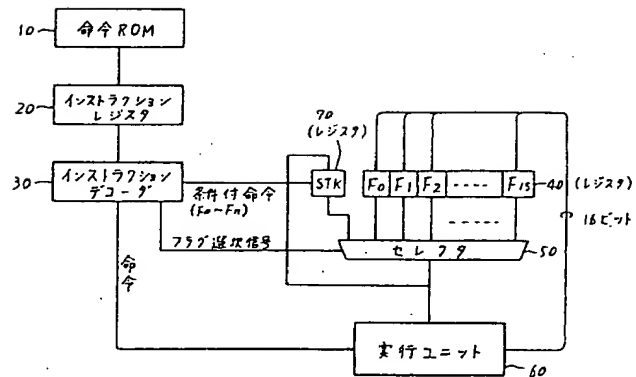
本発明の原理図

第 1 図

|            |      |      |        |
|------------|------|------|--------|
| スラップ(1)--- | 演算 A | 条件 X | 条件付命令① |
| ・ (2)---   | ・ B  | ・ Y  | ・ ②    |
|            | ⋮    | ⋮    | ⋮      |

一例の命令の記述を示す図

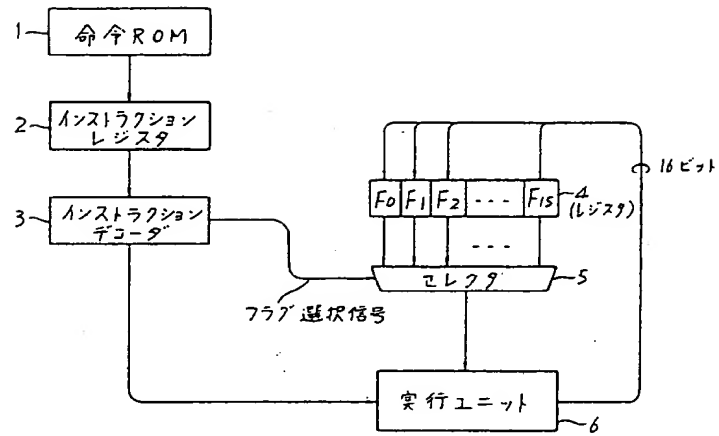
第 3 図



本発明の実施例の回路の構成を示すブロック図

第 2 図





従来例の回路の構成を示すブロック図

第 4 図